

JP11-031842

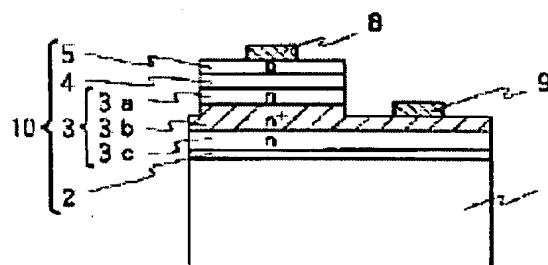
SEMICONDUCTOR LUMINOUS ELEMENT**Publication number:** JP11031842**Publication date:** 1999-02-02**Inventor:** TSUTSUI TAKESHI**Applicant:** ROHM CO LTD**Classification:****- International:** H01L21/28; H01L33/00; H01L21/02; H01L33/00; (IPC1-7):
H01L33/00; H01L21/28**- European:** H01L33/00C4D3C; H01L33/00C5**Application number:** JP19970184851 19970710**Priority number(s):** JP19970184851 19970710**Also published as:**

US6060730 (A1)

DE19830838 (A1)

Report a data error here**Abstract of JP11031842**

PROBLEM TO BE SOLVED: To provide a semiconductor luminous element of high luminous efficiency even with a semiconductor luminous element, where a gallium nitride group compound semiconductor is laminated on an insulating substrate, improving ohmic contact characteristic between an n-type layer and an n-side electrode, for decreasing a forward voltage. **SOLUTION:** This element comprises a substrate 1, a semiconductor lamination part 10 here a gallium nitride group compound semiconductor layer containing an n-type layer 3 and an n-type layer 5 in so laminated as to form a luminous layer on the substrate 1, and an n-side electrode 9 and a p-side electrode 8 provided while being electrically connected to the n-type layer and the p-type layer, respectively, of the semiconductor lamination part 10. Here, the n-type layer 3 has at least an n-type first layer 3a and an n⁺-type second layer 3b, so that a carrier concentration at a part where the n-side electrode 9 is provided is higher than that at a part making contact with the luminous layer.



Data supplied from the esp@cenet database - Worldwide

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A substrate and the semi-conductor laminating section to which the laminating of the CHITSU-ized gallium system compound semiconductor layer which contains n form layer and p form layer that a luminous layer should be formed on this substrate is carried out. It has n lateral electrode and p lateral electrode which connect with n form layer and p form layer of this semi-conductor laminating section electrically, respectively, and are prepared. Said n form layer The semi-conductor light emitting device which is formed and becomes so that the carrier concentration of the part in which said n lateral electrode is prepared may become larger than the carrier concentration of the part which touches said luminous layer.

[Claim 2] The semi-conductor light emitting device according to claim 1 which it comes to prepare in n form layer of the field where said carrier concentration which said n lateral electrode exposes by etching said a part of semi-conductor layer by which the laminating was carried out exceeding said luminous layer is large.

[Claim 3] The semi-conductor light emitting device according to claim 1 in which it is prepared and which said n lateral electrode becomes so that it may connect with n form layer of the field where said carrier concentration exposed by removing said some of substrates [at least] with which said semi-conductor laminating section is formed is large.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semi-conductor light emitting device by which the laminating of the CHITSU-ized gallium system compound semiconductor layer is carried out on a substrate. It is related with the semi-conductor light emitting device which makes good ohmic contact of n lateral electrode and n form layer, and may lower forward voltage in more detail.

[0002]

[Description of the Prior Art] For example, as the schematic diagram of an example of the light emitting device chip (henceforth an LED chip) is shown in drawing 4, the semi-conductor light emitting device of a blue system On the insulating substrate 21 which consists of sapphire, for example, the n form layer 23 to which epitaxial growth of the GaN of n form was carried out (cladding layer). The barrier layer 24 which bandgap energy becomes from the ingredient which becomes smaller than that of a cladding layer, for example, an InGaN system (ratio of In and Ga is the same the following which means that it may change variously) compound semiconductor. The laminating of the p form layer (cladding layer) 25 which consists of GaN of p form is carried out. And the p lateral electrode 28 is formed so that it may connect with the p form layer 25 electrically through the diffusion metal layer which is not illustrated on the front face. And the LED chip is formed by forming the n lateral electrode 29 so that it may connect with the n form layer 23 which a part of semi-conductor layer by which the laminating was carried out is etched, and is exposed electrically.

[0003] By the carrier to a barrier layer 24 shutting up, the n form layer 23 and the p form layer 25 in which this kind of semi-conductor light emitting device pinches a barrier layer 24 are set up so that points, such as effectiveness, to that carrier concentration may become the optimal, for example, as for the carrier concentration of the n form layer 23, the n form layer 23 is formed by carrier concentration with 10^{18}cm^{-3} fixed order.

[0004]

[Problem(s) to be Solved by the Invention] As mentioned above, in the semi-conductor light emitting device using the conventional CHITSU-ized gallium system compound semiconductor, the carrier concentration of the n form layer is set as the optimal carrier concentration for a luminescence property, and is formed upwards from under n form layer at uniform carrier concentration. And n lateral electrode is prepared so that it may connect with a part of n form layer exposed by etching. However, the carrier concentration of n form layer in which n lateral electrode is prepared is so desirable that it is large in order to obtain ohmic contact with an electrode, and about $[1 \times 10^{19}\text{cm}^{-3} \text{ or more}]$ are desirable. Therefore, if an electrode is formed in the semi-conductor layer of the carrier concentration restricted from the luminescence property as mentioned above, sufficient ohmic contact cannot be obtained but it has become the cause of a rise of forward voltage.

[0005] In the semi-conductor light emitting device which consists for example, of the conventional AlGaInP system compound semiconductor etc. Since the semi-conductor laminating section is prepared that a luminous layer should be formed on a semi-conductor substrate, Since n form layer is connected with a semi-conductor substrate with large carrier concentration and an electrode is prepared in a semi-conductor substrate, Even if n in all type layer is formed in the optimal carrier concentration for a luminescence property, there is no problem, but since the laminating of the CHITSU-ized gallium system compound semiconductor is carried out on silicon on sapphire, a direct electrode is prepared in the n form layer, and it has the problem that ohmic contact is not fully acquired as mentioned above. And in order to make ohmic contact good while being hard to obtain good ohmic contact, an electrode material is also limited and there is also a problem that there is little the selection room.

[0006] Also in the semi-conductor light emitting device by which it was made in order that this invention might solve such a problem, and the laminating of the CHITSU-ized gallium system compound semiconductor is carried out on an insulating substrate While raising the ohmic contact property of n form layer and n lateral electrode, reducing forward voltage and raising luminous efficiency, maintaining the optimal carrier concentration for a luminescence property in the part which touches a luminous layer It aims at offering the semi-conductor light emitting device to which the selection room of an electrode material is expandable.

[0007]

[Means for Solving the Problem] The semi-conductor laminating section to which the laminating of the CHITSU-ized gallium system compound semiconductor layer which contains n form layer and p form layer that the semi-conductor light emitting device by this invention should form a luminous layer on a substrate and this substrate is carried out. It has n lateral electrode and p lateral electrode which connect with n form layer and p form layer of this semi-conductor laminating section electrically, respectively, and are prepared, and said n form layer is formed so that the carrier

concentration of the part in which said n lateral electrode is prepared may become larger than the carrier concentration of the part which touches said luminous layer. By making it this structure, the ohmic contact of n form layer and n lateral electrode can be taken good, without affecting a luminescence property, and forward voltage can be lowered.

[0008] A CHITSU-ized gallium system compound semiconductor is III here. The compound of Ga of a group element, and N of V group element, or III III of others [Ga / a part of / of a group element], such as aluminum and In, The semiconductor which consists of a compound which a part of N of the thing permuted by the group element and/or V group element permuted by other V group elements, such as P and As, is said. Moreover, if a luminous layer is in terrorism junction structure to the double which pinches a barrier layer in n form layer and p form layer, it means the light-emitting part near the pn junction for a barrier layer with pn junction structure.

[0009] Said n lateral electrode prepares and is sufficient for n form layer of the field where said carrier concentration exposed by etching said a part of semi-conductor layer by which the laminating was carried out exceeding said luminous layer is large, and is prepared in n form layer of the field where said carrier concentration exposed by removing said some of substrates [at least] with which said semi-conductor laminating section is formed is large. When this substrate is removed, and a buffer layer with small carrier concentration exists on a substrate, that buffer layer is also removed by etching.

[0010]

[Embodiment of the Invention] Next, the semi-conductor light emitting device of this invention is explained, referring to a drawing.

[0011] The p lateral electrode 8 is electrically connected through the diffusion metal layer to which the semi-conductor light emitting device of this invention is formed, and the semi-conductor laminating section 10 which forms a luminous layer in the front face of the insulating substrate 1 which consists of sapphire (aluminum₂ O₃ single crystal) etc. as shown in drawing 1 does not illustrate it in the p form layer 5 by the side of the front face. Moreover, the n lateral electrode 9 is formed so that it may connect with the n form layer 3 which a part of semi-conductor laminating section 10 is removed, and is exposed electrically. n form 1st layer 3a to which the n form layer 3 touches a barrier layer 4 by the carrier concentration suitable for a luminescence property by this invention as shown, for example in drawing 1, n⁺ with large carrier concentration suitable for ohmic contact Type 2nd layer 3b, n⁺ with larger carrier concentration than the carrier concentration of n form 1st layer 3a which touches a barrier layer 4 (luminous layer) by carrier concentration consisting of n form 3rd layer 3c of arbitration The description is to form the n lateral electrode 9 in type 2nd layer 3b.

[0012] In order to form such an n form layer 3, in case the n form layer 3 is grown epitaxially, it is obtained by adjusting the amount of the dopant to introduce. (Namely, the dopant gas 4, for example, SiH₄, introduced with the reactant gas for making it a desired semi-conductor layer when carrying out the laminating of the semi-conductor layer by the MOCVD method If a flow rate is made [many], carrier concentration can be enlarged, and it is SiH₄. Carrier concentration can be made small by lessening a flow rate.) On a buffer layer 2, therefore, after about 1-2 micrometers grows epitaxially, n form 3rd layer 3c, so that carrier concentration may become about [1x10¹⁷cm⁻³] three [for example,] Dopant gas SiH₄ n⁺ whose carrier concentration a flow rate is made [many], growth is continued further, and is about [1x10¹⁹ to 5x10¹⁹cm⁻³] three About 2-3 micrometers grows type 2nd layer 3b. Furthermore, it is dopant gas SiH₄. A flow rate is reduced and growth is continued, and it is obtained when about 1-2 micrometers grows n form 1st layer 3a whose carrier concentration is about [1x10¹⁸ to 3x10¹⁸cm⁻³] three.

[0013] In addition, there should just be about at least 0.5 micrometers of thickness of n form 1st layer 3a that what is necessary is to just be prepared in extent which acts by a carrier shutting up. Moreover, n⁺ Since type 2nd layer 3b needs to prepare an electrode so that ohmic contact may be obtained on the front face exposed by etching, it is desirable that about 2 micrometers or more are prepared. The carrier concentration of n form 3rd layer 3c may be large, or may be small, and the dopant does not need to be doped. therefore, this n form — the 3rd layer — there is nothing — the n form 1st — even if it consists of a layer 3a and n⁺ type 2nd layer 3b — n form 1st layer 3a — a barrier layer 4 — touching — **** — n⁺ What is necessary is just to have the structure where the n lateral electrode 9 is formed in type 2nd layer 3b.

[0014] The low-temperature buffer layer 2 which consists of GaN the semi-conductor laminating section 10 About 0.01-0.2 micrometers, GaN and/or AlGaIn system (it means that the ratio of aluminum and Ga may change variously) of n form used as a cladding layer It consists of the same compound semiconductor below, and they are n form 1st layer 3a and n⁺ at least. The n form layer 3 of the above-mentioned structure of having type 2nd layer 3b, the ingredient, with which bandgap energy becomes smaller than that of a cladding layer, The barrier layer 4 which consists of an InGaIn system compound semiconductor For example, about 0.05-0.3 micrometers, And it is constituted by carrying out the laminating of the p form layer (cladding layer) 5 which consists of the AlGaIn system compound semiconductor layer and/or GaN layer of p form one by one on about 0.2-1 micrometer and a substrate 1, respectively. In addition, since a carrier shuts up an AlGaIn system compound semiconductor and it raises effectiveness, it may be prepared in the barrier layer 4 side of the cladding layer of n form and p form. Therefore, it is n form 1st layer 3a in an AlGaIn system compound semiconductor layer n⁺ The type 2nd layer can also be formed in a GaN layer.

[0015] So that it may connect electrically through the diffusion metal layer which is not illustrated in the p form layer 5 of the semi-conductor laminating section 10 For example, n⁺ which the p lateral electrode 8 which consists of a laminated structure of Ti and Au is formed, and a part of semi-conductor laminating section 10 is removed by etching, and is exposed To type 2nd layer 3b For example, the n lateral electrode 9 which consists of an alloy layer of Ti and aluminum is formed, it is chip-ized from a wafer, and the LED chip of this invention is formed.

[0016] In order to manufacture this semi-conductor light emitting device, by for example, the organic metal chemical-vapor-deposition method (MOCVD law) H₂ of carrier gas SiH₄ as reactant gas, such as a TORIME dust gallium (TMG) and ammonia (henceforth NH₃), and dopant gas of n form It supplies. etc. — On the insulating substrate 1 which consists of

sapphire, for example, first, at for example, about 400–600-degree C low temperature They are about 0.01–0.2 micrometers and dopant gas SiH₄ about the low-temperature buffer layer 2 which consists of a GaN layer. Make a flow rate into about 0–1x10⁻⁴vol% to the whole capacity, and about 2 micrometers grows n form 3rd layer 3c whose carrier concentration is about [1x10¹⁷cm⁻³] three in the same presentation. Subsequently, SiH₄ n⁺ whose carrier concentration a flow rate is made into about 1x10⁻²vol%, and is about [1x10¹⁹cm⁻³] three Type 2nd layer 3b About 3 micrometers, Furthermore, it is SiH₄. A flow rate is made into about 1x10⁻³vol%, and about 2 micrometers grows n form 1st layer 3a whose carrier concentration is about [1x10¹⁸cm⁻³] three, respectively. Furthermore, trimethylindium (TMIn) is added as reactant gas, and about 0.05–0.3 micrometers of barrier layers 4 which consist of an InGaIn system compound semiconductor are formed.

[0017] Subsequently, TMIn of reactant gas is changed into trimethylaluminum (TMA), and it is dimethyl zinc (DMZn is introduced, the AlGaIn system compound semiconductor layer of p form where carrier concentration is about [1x10¹⁷ to 1x10¹⁸cm⁻³] three, and TMA are stopped, the laminating of every about 0.1–0.5 micrometers of the GaN layers of p form is carried out, respectively, and the p form layer 5 is formed.) as dopant gas.

[0018] Then, about 2–100nm of diffusion metal layers is formed by vapor-depositing and carrying out the sinter of nickel and the Au, for example. Subsequently, n⁺ in order to form the n lateral electrode 9 It etches by reactive ion etching according to chlorine gas etc. in a part of semi-conductor laminating section 10 by which the laminating was carried out so that type 2nd layer 3b may be exposed. And a metal membrane is prepared with vacuum deposition etc., and the p lateral electrode 8 and the n lateral electrode 9 are formed and chip-ized by carrying out a sinter. Consequently, the semi-conductor light emitting device shown in drawing 1 is obtained.

[0019] according to the semi-conductor light emitting device of this invention — n form of the carrier concentration for eye the carrier confinement with optimal n form layer by the side of a luminous layer (the example of drawing 1 barrier layer 4) — n⁺ with carrier concentration large [being formed by the 1st layer / the part in which n lateral electrode is prepared] type — since it is formed of the 2nd layer, an electrode can be prepared by good ohmic contact, having the outstanding luminescence property. In addition, since p lateral electrode is prepared through a diffusion metal layer, the carrier concentration of p form layer for ohmic contact seldom becomes a problem. Consequently, contact resistance falls and it is forward voltage Vf. Supply voltage can be made low, while a low semi-conductor light emitting device is obtained and luminous efficiency improves.

[0020] In the above-mentioned example, although the alloy layer of Ti and aluminum was used as an n lateral electrode 9, the carrier concentration of the part of the n form layer 3 in which the n lateral electrode 9 is formed is large, and since an ohmic contact property improves, other Ti-Au, nickel-Au, Ti-Pt, Au, Pt, etc. can also be used.

[0021] Drawing 2 is drawing showing the cross-section configuration of the chip of a semi-conductor light emitting device which shows the modification of drawing 1. That is, etching removal of a part of semi-conductor laminating section 10 is carried out for the n lateral electrode 9, the n form layer 3 is not exposed, etching removes some substrates 1, and this example is n⁺. Type 2nd layer 3b is exposed, and the n lateral electrode 9 is formed in the substrate 1 side. in this case, n form — although the 3rd layer has desirable how to twist — n form with small carrier concentration — the case where the 3rd layer is prepared — the time of etching of a substrate 1 — n form — up to the 3rd layer — etching — carrying out — n⁺ What is necessary is just to prepare contact hole 1a so that type 2nd layer 3b may be exposed. In addition, the same sign is given to the same part as drawing 1, and the explanation is omitted.

[0022] The silicon on sapphire at the time of carrying out the laminating of the semi-conductor layer, while drawing 3 is drawing showing the modification of further others, the metal plate 11 which is from aluminum etc. on the p lateral electrode 8 side is formed and this example is used as a new substrate is n⁺ which it was removed by polish etc. and exposed by that removal. The n lateral electrode 9 is formed in type 2nd layer 3b. Carrier concentration is [n form 1st layer 3a by which the n form layer 3 was formed by the barrier layer 4 side also in the semi-conductor light emitting device of such structure according to the luminescence property, and] n⁺ with large carrier concentration to the side in which the n lateral electrode 9 is formed. By preparing type 2nd layer 3b, the same effectiveness as the above-mentioned is acquired. In addition, the same sign is given to the same part as drawing 1, and the explanation is omitted.

[0023] Although it is the double heterojunction structure which the barrier layer 4 was pinched in the n form layer 3 and the p form layer 5, and made the barrier layer 4 the luminous layer in each above example, n form layer and p form layer are the same also at the semi-conductor light emitting device of the pn junction structure joined directly. in this case, n form of carrier concentration which the luminous layer was formed in the pn junction section, and was set by the luminescence property at the pn junction part side — the part in which it is formed in by the 1st layer and an electrode is formed — n⁺ type — n form layer is formed so that it may become the 2nd layer. Moreover, the ingredient of the semi-conductor layer by which a laminating is carried out in each above-mentioned example is also an example, and is not limited to the ingredient.

[0024]

[Effect of the Invention] According to this invention, the ohmic contact property of an electrode and a semi-conductor layer improves maintaining a luminescence property, and the semi-conductor light emitting device operating voltage excelled [light emitting device] in luminous efficiency low is obtained. Furthermore, since good ohmic contact is easy to be obtained, a limit of the electrode metallic material by the side of n is eased, and it is effective in the selection range of an electrode metal spreading.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross-section explanatory view of the LED chip of 1 operation gestalt of the semi-conductor light emitting device of this invention.

[Drawing 2] It is the cross-section explanatory view of the LED chip in which the modification of the semi-conductor light emitting device of drawing 1 is shown.

[Drawing 3] It is the cross-section explanatory view of the LED chip in which other modifications of the semi-conductor light emitting device of drawing 1 are shown.

[Drawing 4] It is the strabism explanatory view of an example of the LED chip of the conventional semi-conductor light emitting device.

[Description of Notations]

- 1 Substrate
- 3 N Form Layer
- 3a n form — the 1st layer
- 3b n+ The type 2nd layer
- 4 Barrier Layer
- 5 P Form Layer
- 8 P Lateral Electrode
- 9 N Lateral Electrode
- 10 Semi-conductor Laminating Section

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-31842

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl.⁶

H 0 1 L 33/00

識別記号

21/28

3 0 1

F I

H 0 1 L 33/00

21/28

E

C

3 0 1 B

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平9-184851

(22) 出願日

平成9年(1997) 7月10日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 筒井 毅

京都市右京区西院溝崎町21番地 ローム株式会社内

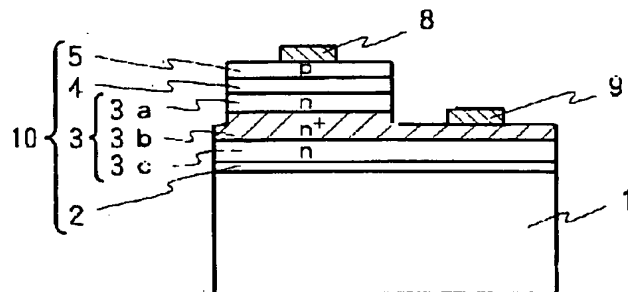
(74) 代理人 弁理士 河村 洸

(54) 【発明の名称】 半導体発光素子

(57) 【要約】

【課題】 絶縁基板上にチッ化ガリウム系化合物半導体が積層される半導体発光素子においても、n形層3とn側電極9とのオーミックコンタクト特性を向上させて順方向電圧を低下させ、発光効率が高い半導体発光素子を提供する。

【解決手段】 基板1と、該基板上に発光層を形成すべくn形層3およびp形層5を含むチッ化ガリウム系化合物半導体層が積層される半導体積層部10と、該半導体積層部のn形層およびp形層にそれぞれ電気的に接続して設けられるn側電極9およびp側電極8とを有し、前記n形層3は、前記n側電極が設けられる部分のキャリア濃度が前記発光層に接する部分のキャリア濃度より大きくなるように、少なくともn形第1層3aとn⁺形第2層3bとを有している。



- | | | | |
|-----|---------------------|----|--------|
| 1 | 基板 | 5 | p形層 |
| 3 | n形層 | 8 | p側電極 |
| 3 a | n形第1層 | 9 | n側電極 |
| 3 b | n ⁺ 形第2層 | 10 | 半導体積層部 |
| 4 | 活性層 | | |

【特許請求の範囲】

【請求項1】 基板と、該基板上に発光層を形成すべくn形層およびp形層を含むチッ化ガリウム系化合物半導体層が積層される半導体積層部と、該半導体積層部のn形層およびp形層にそれぞれ電氣的に接続して設けられるn側電極およびp側電極とを有し、前記n形層は、前記n側電極が設けられる部分のキャリア濃度が前記発光層に接する部分のキャリア濃度より大きくなるように形成されてなる半導体発光素子。

【請求項2】 前記n側電極が、前記積層された半導体層の一部が前記発光層を越えてエッチングされることにより露出する前記キャリア濃度の大きい領域のn形層に設けられてなる請求項1記載の半導体発光素子。

【請求項3】 前記n側電極が、前記半導体積層部が形成される前記基板の少なくとも一部が除去されることにより露出する前記キャリア濃度の大きい領域のn形層に接続するように設けられてなる請求項1記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は基板上にチッ化ガリウム系化合物半導体層が積層される半導体発光素子に関する。さらに詳しくは、n側電極とn形層とのオーミックコンタクトを良好にして順方向電圧を下げ得る半導体発光素子に関する。

【0002】

【従来の技術】たとえば青色系の半導体発光素子は、図4にその発光素子チップ（以下、LEDチップという）の一例の概略図が示されるように、サファイアからなる絶縁性の基板21上に、たとえばn形のGaInがエピタキシャル成長されたn形層（クラッド層）23と、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGaIn系（InとGaの比率が種々変わり得ることを意味する、以下同じ）化合物半導体からなる活性層24と、p形のGaInからなるp形層（クラッド層）25とが積層されている。そして、その表面に図示しない拡散メタル層などを介してp形層25に電氣的に接続するようにp側電極28が設けられている。そして、積層された半導体層の一部がエッチングされて露出するn形層23と電氣的に接続するようにn側電極29が設けられることにより、LEDチップが形成されている。

【0003】この種の半導体発光素子は、活性層24を挟持するn形層23およびp形層25は、活性層24へのキャリアの閉込め効果などの点から、そのキャリア濃度が最適になるように設定されており、たとえばn形層23のキャリア濃度は 10^{18} cm^{-3} オーダの一定のキャリア濃度でn形層23が形成されている。

【0004】

【発明が解決しようとする課題】前述のように、従来の

チッ化ガリウム系化合物半導体を用いた半導体発光素子では、そのn形層のキャリア濃度は発光特性に最適なキャリア濃度に設定されて、n形層の下から上まで一様なキャリア濃度に形成されている。そしてエッチングにより露出するn形層の一部に接続するようにn側電極が設けられている。しかし、n側電極が設けられるn形層のキャリア濃度は、電極とのオーミックコンタクトを得るためには大きいほど好ましく、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度以上が好ましい。そのため、前述のように発光特性から制限されたキャリア濃度の半導体層に電極を形成すると、充分なオーミックコンタクトを得ることができず、順方向電圧の上昇の一因になっている。

【0005】従来のたとえばAlGaInP系化合物半導体などからなる半導体発光素子においては、半導体基板上に発光層を形成すべく半導体積層部が設けられるため、n形層がキャリア濃度の大きい半導体基板と接続されて半導体基板に電極が設けられるため、発光特性に最適なキャリア濃度に合わせてn形層が形成されても何等の問題がないが、チッ化ガリウム系化合物半導体はサファイア基板上に積層されるため、そのn形層に直接電極が設けられ、前述のようにオーミック接触が充分に得られないという問題がある。しかも、良好なオーミックコンタクトを得にくい中で少しでもオーミックコンタクトを良好にするため、電極材料も限定されて、その選択余地が少ないという問題もある。

【0006】本発明は、このような問題を解決するためになされたもので、絶縁基板上にチッ化ガリウム系化合物半導体が積層される半導体発光素子においても、発光層に接する部分では発光特性に最適なキャリア濃度を維持しながら、n形層とn側電極とのオーミックコンタクト特性を向上させて順方向電圧を低下させ、発光効率を向上させると共に、電極材料の選択余地を拡大することができる半導体発光素子を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明による半導体発光素子は、基板と、該基板上に発光層を形成すべくn形層およびp形層を含むチッ化ガリウム系化合物半導体層が積層される半導体積層部と、該半導体積層部のn形層およびp形層にそれぞれ電氣的に接続して設けられるn側電極およびp側電極とを有し、前記n形層は、前記n側電極が設けられる部分のキャリア濃度が前記発光層に接する部分のキャリア濃度より大きくなるように形成されている。この構造にすることにより、発光特性に影響を及ぼすことなくn形層とn側電極とのオーミックコンタクトを良好にすることができ、順方向電圧を下げることができる。

【0008】ここにチッ化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部がAl、Inなどの他のIII族元素と置換したものおよび／またはV族元素のNの一部

がP、Asなどの他のV族元素と置換した化合物からなる半導体をいう。また、発光層とは活性層をn形層とp形層とで挟持するダブルヘテロ接合構造にあっては活性層を、pn接合構造ではpn接合近傍の発光部を意味する。

【0009】前記n側電極は、前記積層された半導体層の一部が前記発光層を越えてエッチングされることにより露出する前記キャリア濃度の大きい領域のn形層に設けられており、前記半導体積層部が形成される前記基板の少なくとも一部が除去されることにより露出する前記キャリア濃度の大きい領域のn形層に設けられる。この基板が除去される場合、基板上にキャリア濃度が小さいバッファ層が存在する場合はそのバッファ層もエッチングにより除去される。

【0010】

【発明の実施の形態】つぎに、図面を参照しながら本発明の半導体発光素子について説明をする。

【0011】本発明の半導体発光素子は、たとえば図1に示されるように、サファイア(Al_2O_3 、単結晶)などからなる絶縁性の基板1の表面に発光層を形成する半導体積層部10が形成されて、その表面側のp形層5に、図示しない拡散メタル層を介してp側電極8が電気的に接続されている。また、半導体積層部10の一部が除去されて露出するn形層3に電気的に接続されるようにn側電極9が形成されている。本発明では、たとえば図1に示されるように、n形層3が、発光特性に適したキャリア濃度で活性層4に接するn形第1層3aと、オーミックコンタクトに適するキャリア濃度の大きいn⁺形第2層3bと、キャリア濃度が任意のn形第3層3cとからなっており、活性層4(発光層)に接するn形第1層3aのキャリア濃度よりキャリア濃度が大きいn⁺形第2層3bにn側電極9が設けられていることに特徴がある。

【0012】このようなn形層3を形成するには、n形層3をエピタキシャル成長する際に、導入するドーパントの量を調整することにより得られる。すなわち、たとえばMOCVD法により半導体層を積層する場合、所望の半導体層にするための反応ガスと共に導入するドーパントガスのたとえば SiH_4 の流量を多くすればキャリア濃度を大きくすることができ、 SiH_4 の流量を少なくすることによりキャリア濃度を小さくすることができる。そのため、バッファ層2上にたとえばキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度になるようにn形第3層3cを1~2 μm 程度エピタキシャル成長した後に、ドーパントガス SiH_4 の流量を多くしてさらに成長を続け、キャリア濃度が $1 \times 10^{19} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度のn⁺形第2層3bを2~3 μm 程度成長し、さらにドーパントガス SiH_4 の流量を減らして成長を続け、キャリア濃度が $1 \times 10^{18} \sim 3 \times 10^{18} \text{ cm}^{-3}$ 程度のn形第1層3aを1~2 μm 程度成長することにより得られる。

【0013】なお、n形第1層3aの厚さは、キャリアの閉込め作用をする程度に設けられればよく、少なくとも0.5 μm 程度あればよい。また、n⁺形第2層3bは、エッチングにより露出させた表面にオーミックコンタクトが得られるように電極を設ける必要があるため、2 μm 程度以上設けられることが好ましい。n形第3層3cのキャリア濃度は大きくても小さくてもよく、ドーパントがドーピングされていなくてもよい。したがって、このn形第3層はなくてn形第1層3aと、n⁺形第2層3bとからのみであっても、n形第1層3aが活性層4に接しており、n⁺形第2層3bにn側電極9が設けられる構造になっておればよい。

【0014】半導体積層部10は、たとえばGaNからなる低温バッファ層2が0.01~0.2 μm 程度、クラッド層となるn形のGaNおよび/またはAlGaN系(AlとGaの比率が種々変わり得ることを意味する、以下同じ)化合物半導体からなり、少なくともn形第1層3aおよびn⁺形第2層3bを有する前述の構造のn形層3、バンドギャップエネルギーがクラッド層のそれよりも小さくなる材料、たとえばInGaN系化合物半導体からなる活性層4が0.05~0.3 μm 程度、およびp形のAlGaN系化合物半導体層および/またはGaN層からなるp形層(クラッド層)5が0.2~1 μm 程度、基板1上にそれぞれ順次積層されることにより構成されている。なお、AlGaN系化合物半導体は、キャリアの閉込め効果を向上させるため、n形およびp形のクラッド層の活性層4側に設けられる場合がある。したがって、n形第1層3aをAlGaN系化合物半導体層で、n⁺形第2層をGaN層で形成することもできる。

【0015】半導体積層部10のp形層5に図示しない拡散メタル層を介して電気的に接続されるように、たとえばTiとAuの積層構造からなるp側電極8が設けられ、半導体積層部10の一部がエッチングにより除去されて露出するn⁺形第2層3bに、たとえばTiとAlの合金層からなるn側電極9が設けられ、ウェハからチップ化されて本発明のLEDチップが形成されている。

【0016】この半導体発光素子を製造するには、たとえば有機金属化学気相成長法(MOCVD法)により、キャリアガスの H_2 と共にトリメチルガリウム(TM_G)、アンモニア(以下、 NH_3 という)などの反応ガスおよびn形のドーパントガスとしての SiH_4 などを供給して、まず、たとえばサファイアからなる絶縁基板1上に、たとえば400~600℃程度の低温で、GaN層からなる低温バッファ層2を0.01~0.2 μm 程度、ドーパントガス SiH_4 の流量を全体のガス量に対して0~1 $\times 10^{-4}$ vol%程度にして同じ組成でキャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度のn形第3層3cを2 μm 程度成長し、ついで SiH_4 の流量を1 $\times 10^{-2}$ vol%程度にしてキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度

の n^+ 形第2層3bを $3\mu\text{m}$ 程度、さらに SiH_4 の流量を $1 \times 10^{-3}\text{vol\%}$ 程度にしてキャリア濃度が $1 \times 10^{18}\text{cm}^{-3}$ 程度の n 形第1層3aを $2\mu\text{m}$ 程度それぞれ成長する。さらに反応ガスとしてトリメチルインジウム(TMI n)を追加し、InGa n 系化合物半導体からなる活性層4を $0.05 \sim 0.3\mu\text{m}$ 程度成膜する。

【0017】ついで、反応ガスのTMI n をトリメチルアルミニウム(TMA)に変更し、ドーパントガスとしてたとえばジメチル亜鉛(DMZ n)を導入して、キャリア濃度が $1 \times 10^{17} \sim 1 \times 10^{18}\text{cm}^{-3}$ 程度の p 形のAlGa n 系化合物半導体層およびTMAを止めて p 形のGa n 層をそれぞれ $0.1 \sim 0.5\mu\text{m}$ 程度づつ積層し、 p 形層5を形成する。

【0018】その後、たとえばNiおよびAuを蒸着してシンターすることにより拡散金属層を $2 \sim 100\text{nm}$ 程度形成する。ついで、 n 側電極9を形成するため n^+ 形第2層3bが露出するように、積層された半導体積層部10の一部を塩素ガスなどによる反応性イオンエッチングによりエッチングをする。そして、真空蒸着などにより金属膜を設け、シンターすることにより p 側電極8および n 側電極9を形成し、チップ化する。その結果、図1に示される半導体発光素子が得られる。

【0019】本発明の半導体発光素子によれば、発光層(図1の例では活性層4)側の n 形層はそのキャリア閉込めに最適なキャリア濃度の n 形第1層で形成されながら、 n 側電極が設けられる部分はキャリア濃度が大きい n^+ 形第2層により形成されているため、優れた発光特性を有しながら良好なオーミックコンタクトで電極を設けることができる。なお、 p 側電極は拡散金属層を介して設けられるため、オーミックコンタクトのための p 形層のキャリア濃度は余り問題にならない。その結果、接触抵抗が下がり、順方向電圧 V_f の低い半導体発光素子が得られ、発光効率が向上すると共に、電源電圧を低くすることができる。

【0020】前述の例では、 n 側電極9としてTiとAlとの合金層を用いたが、 n 側電極9が設けられる n 形層3の部分のキャリア濃度が大きく、オーミックコンタクト特性が向上するため、他のTi-Au、Ni-Au、Ti-Pt、Au、Ptなどを用いることもできる。

【0021】図2は図1の変形例を示す半導体発光素子のチップの断面形状を示す図である。すなわち、この例は n 側電極9を半導体積層部10の一部をエッチング除去して n 形層3を露出させるのではなく、基板1の一部をエッチングにより除去して n^+ 形第2層3bを露出させ、基板1側に n 側電極9が設けられている。この場合、 n 形第3層はない方が好ましいが、キャリア濃度が小さい n 形第3層が設けられている場合は、基板1のエッチングの際に n 形第3層までエッチングをして n^+ 形第2層3bが露出するようにコンタクト孔1aを設ければよい。なお、図1と同じ部分には同じ符号を付してそ

の説明を省略する。

【0022】図3はさらに他の変形例を示す図で、この例は p 側電極8側にAlなどからなる金属板11が設けられて新たな基板とされると共に、半導体層を積層する際のサファイア基板は研磨などにより除去され、その除去により露出した n^+ 形第2層3bに n 側電極9が設けられているものである。このような構造の半導体発光素子においても、 n 形層3が活性層4側にキャリア濃度が発光特性に合わせて形成された n 形第1層3aと、 n 側電極9が設けられる側にキャリア濃度が大きい n^+ 形第2層3bが設けられることにより、前述と同様の効果が得られる。なお、図1と同じ部分には同じ符号を付してその説明を省略する。

【0023】以上の各例では、 n 形層3と p 形層5とで活性層4が挟持され、活性層4を発光層としたダブルヘテロ接合構造であるが、 n 形層と p 形層とが直接接合する pn 接合構造の半導体発光素子でも同様である。この場合、 pn 接合部に発光層が形成され、 pn 接合部分側に発光特性に合わせたキャリア濃度の n 形第1層で形成され、電極が形成される部分が n^+ 形第2層になるように n 形層が形成される。また、前述の各例において積層される半導体層の材料も一例であって、その材料には限定されない。

【0024】

【発明の効果】本発明によれば、発光特性を維持しながら電極と半導体層とのオーミックコンタクト特性が向上し、動作電圧が低く発光効率の優れた半導体発光素子が得られる。さらに、良好なオーミックコンタクトが得られやすいため、 n 側の電極金属材料の制限が緩和され、電極金属の選択範囲が広がるという効果がある。

【図面の簡単な説明】

【図1】本発明の半導体発光素子の一実施形態のLEDチップの断面説明図である。

【図2】図1の半導体発光素子の変形例を示すLEDチップの断面説明図である。

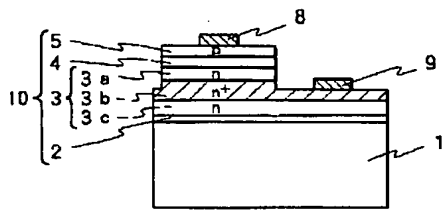
【図3】図1の半導体発光素子の他の変形例を示すLEDチップの断面説明図である。

【図4】従来の半導体発光素子のLEDチップの一例の斜視説明図である。

【符号の説明】

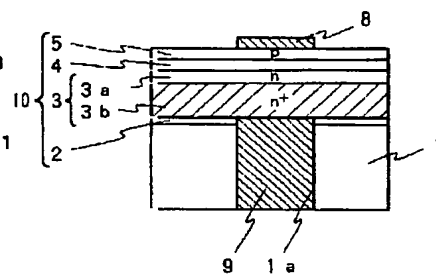
- 1 基板
- 3 n 形層
- 3a n 形第1層
- 3b n^+ 形第2層
- 4 活性層
- 5 p 形層
- 8 p 側電極
- 9 n 側電極
- 10 半導体積層部

【図1】



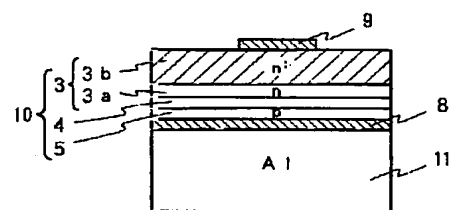
- | | | | |
|----|---------------------|----|--------|
| 1 | 基板 | 5 | p形層 |
| 3 | n形層 | 8 | p側電極 |
| 3a | n形第1層 | 9 | n側電極 |
| 3b | n ⁺ 形第2層 | 10 | 半導体積層部 |
| 4 | 活性層 | | |

【図2】



- | | | | |
|----|---------------------|----|--------|
| 1 | 基板 | 5 | p形層 |
| 3 | n形層 | 8 | p側電極 |
| 3a | n形第1層 | 9 | n側電極 |
| 3b | n ⁺ 形第2層 | 10 | 半導体積層部 |
| 4 | 活性層 | | |

【図3】



- | | | | |
|----|---------------------|----|--------|
| 3 | n形層 | 5 | p形層 |
| 3a | n形第1層 | 8 | p側電極 |
| 3b | n ⁺ 形第2層 | 9 | n側電極 |
| 4 | 活性層 | 10 | 半導体積層部 |

【図4】

